

日本国特許庁 09/424966  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

1997年 5月30日

REC'D 14 APR 1998

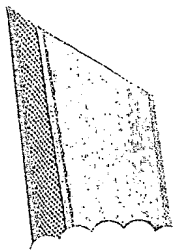
WIPO PCT

出願番号  
Application Number:

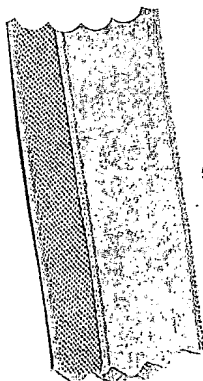
平成 9年特許願第142575号

出願人  
Applicant(s):

シャープ株式会社



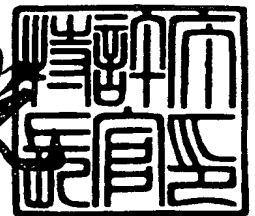
PRIORITY DOCUMENT



1998年 3月13日

特許庁長官  
Commissioner,  
Patent Office

荒井寿光



出証番号 出証特平10-3013718

【書類名】 特許願

【整理番号】 97-01098

【提出日】 平成 9年 5月30日

【あて先】 特許庁長官 荒井 寿光 殿

【国際特許分類】 H01L 29/40  
H01L 25/065  
H03F 3/18

【発明の名称】 半導体装置およびその駆動方法

【請求項の数】 7

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

【氏名】 柴田 晃秀

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

【氏名】 岩田 浩

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

---

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-351-4384

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003082

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその駆動方法

【特許請求の範囲】

【請求項1】

半導体基板と、

前記半導体基板上に形成される下地絶縁膜と、

前記下地絶縁膜上に形成され、かつ電気絶縁性の素子分離領域で外囲されて隣接素子間が区分され、第1の電極となるP、Nいずれか一方の導電型式の半導体層と、

前記半導体層内に形成され、P、Nいずれか他方の導電型式で第2の電極となるソース領域および第3の電極となるドレイン領域と、

前記ソース領域とドレイン領域との間に形成されるチャネル領域と、

前記チャネル領域上に形成されるゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、第4の電極となるゲート電極とを備え、

前記素子分離領域で区分された各半導体層毎に、ソース領域およびドレイン領域以外の領域にコンタクト孔を設けることを特徴とする半導体装置。

【請求項2】

半導体基板と、

前記半導体基板内に形成されるP、Nいずれか一方の導電型式のディープウェル領域と、

前記ディープウェル領域上に形成され、第1の電極となるP、Nいずれか他方の導電型式のシャローウェル領域と、

前記シャローウェル領域内に形成され、P、Nいずれか一方の導電型式で第2の電極となるソース領域および第3の電極となるドレイン領域と、

前記ソース領域とドレイン領域との間に形成されるチャネル領域と、

前記チャネル領域上に形成されるゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、第4の電極となるゲート電極とを備え、

相互に隣接する素子間が溝型分離領域によって少くともシャローウェル領域が電氣的に分離されており、該溝型分離領域で隣接素子間が区分された各シャロー

ウェル領域毎に、ソース領域およびドレイン領域以外の領域にコンタクト孔を設けることを特徴とする半導体装置。

【請求項3】

前記請求項1または2記載の半導体装置において、導電型式が相互に逆極性の素子を一对とし、P型素子のソースを高電位固定とし、N型素子のソースを低電位固定とし、両者のゲートを共通に第1の入力端子とし、両者のコンタクト孔を共通に第2の入力端子とし、両者のドレインを共通に出力端子とすることを特徴とする半導体装置。

【請求項4】

前記請求項1または2記載の半導体装置において、導電型式が相互に逆極性の素子を一对とし、P型素子のソースを高電位固定とし、N型素子のソースを低電位固定とし、P型素子のゲートおよびN型素子のコンタクト孔を共通に第1の入力端子とし、N型素子のゲートおよびP型素子のコンタクト孔を共通に第2の入力端子とし、両者のドレインを共通に出力端子とすることを特徴とする半導体装置。

【請求項5】

前記請求項1または2記載の半導体装置において、導電型式が相互に逆極性の素子を一对とし、N型素子のドレインを高電位固定とし、P型素子のドレインを低電位固定とし、両者のゲートを共通に第1の入力端子とし、両者のコンタクト孔を共通に第2の入力端子とし、両者のソースを共通に出力端子とすることを特徴とする半導体装置。

【請求項6】

前記請求項1または2記載の半導体装置において、導電型式が相互に逆極性の素子を一对とし、N型素子のドレインを高電位固定とし、P型素子のドレインを低電位固定とし、N型素子のゲートおよびP型素子のコンタクト孔を共通に第1の入力端子とし、P型素子のゲートおよびN型素子のコンタクト孔を共通に第2の入力端子とし、両者のドレインを共通に出力端子とすることを特徴とする半導体装置。

【請求項7】

請求項1～6のいずれかに記載の半導体装置において、ゲートおよびコンタクト孔をそれぞれ入力端子とし、相互に同期した個別の入力信号を入力することを特徴とする半導体装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MOSFETで実現される半導体装置およびそれに所定動作を行わせるための駆動方法に関する。

【0002】

【従来の技術】

前記MOSFETは、ゲート電極に印加する電圧を変化することによって、ソースドレイン間の電氣的導通を制御することができ、たとえばN型のMOSFETでは、ゲート電極に、ハイレベルを入力するとソースドレイン間が導通し、ローレベルを入力すると遮断する。このとき、ウェルの電位は、通常は固定されており、たとえば前記N型のMOSFETではローレベルに、P型のMOSFETではハイレベルに固定されている。このようにして、従来からのMOSFETは、ゲート電極を入力とし、ソースドレイン間のスイッチングを行う3端子素子として使用されている。

【0003】

図22は、このようなMOSFETを用いる一例の、典型的な従来技術の半導体装置である論理回路log1の電気回路図である。この論理回路log1は、入力端子p1, p2への入力in1, in2がそれぞれ与えられるPMOSFET(qp1), (qp2)の並列回路が、ハイレベルV<sub>DD</sub>の電源ラインと出力端子p3との間に接続され、前記入力in1, in2がそれぞれ与えられるNMOSFET(qn1), (qn2)の直列回路が、前記出力端子p3とローレベルGNDの電源ラインとの間に介在されて構成され、入力in1, in2の少くともいずれか一方がローレベルであるときに出力outをハイレベルとするNAND回路である。

## 【0004】

また、図23は他の従来技術の論理回路10g2の電気回路図である。この論理回路10g2は、前記入力in1, in2がそれぞれ与えられるPMOSFET(qp1), (qp2)の直列回路が、ハイレベル $V_{DD}$ の電源ラインと出力端子p3との間に介在され、前記入力in1, in2がそれぞれ与えられるNMOSFET(qn1), (qn2)の並列回路が、前記出力端子p3とローレベルGNDの電源ラインとの間に介在されて構成され、入力in1, in2の少くともいずれか一方がハイレベルであるときに、出力outをローレベルとするNOR回路である。

## 【0005】

## 【発明が解決しようとする課題】

上述のような従来技術の半導体装置である論理回路10g1, 10g2では、各MOSFETが1つの入力に対してその出力が対応するので、上述のようにNAND回路やNOR回路に4個のMOSFETを必要とする。また、AND回路は前記NAND回路にNOT回路を直列に接続し、OR回路は前記NOR回路にNOT回路を直列に接続することによって実現できるので、それぞれ6個のMOSFETを必要とする。したがって、集積度の向上の障害となり、このため動作速度の高速化、歩留まりの向上、およびコストの削減の妨げとなっている。

## 【0006】

本発明の目的は、高機能化を図ることができる半導体装置およびその駆動方法を提供することである。

## 【0007】

## 【課題を解決するための手段】

請求項1の発明に係る半導体装置は、半導体基板と、前記半導体基板上に形成される下地絶縁膜と、前記下地絶縁膜上に形成され、かつ電気絶縁性の素子分離領域で外囲されて隣接素子間が区分され、第1の電極となるP, Nいずれか一方の導電型式の半導体層と、前記半導体層内に形成され、P, Nいずれか他方の導電型式で第2の電極となるソース領域および第3の電極となるドレイン領域と、前記ソース領域とドレイン領域との間に形成されるチャネル領域と、前記チャネ

ル領域上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成され、第4の電極となるゲート電極とを備え、前記素子分離領域で区分された各半導体層毎に、ソース領域およびドレイン領域以外の領域にコンタクト孔を設けることを特徴とする。

【0008】

上記の構成によれば、半導体基板上に形成した下地絶縁膜上に素子を形成するSOI (Silicon On Insulator), SOS (Silicon On Sapphire) 構造の基板を用いることによって、各素子の形成領域を素子分離領域によって、比較的容易に、電氣的に分離することができ、こうして各素子相互間の干渉を防止し、各素子毎の個別の動作を可能とした状態で、分離された各素子形成領域毎にMOSFETを形成する。そして、その各MOSFETの半導体層をコンタクト孔を介して外部と電氣的に接続して電極として使用可能とし、ゲートへの入力と、この半導体層への入力との2つの入力を可能とする4端子素子を実現する。

【0009】

したがって、1素子で2入力、1出力の回路を実現することができ、MOSFET単体の機能を向上することができる。これによって、たとえば論理回路を構成した場合には、集積回路化にあたって集積度を向上することができ、動作速度の高速化、歩留まりの向上およびコストの削減を図ることができる。

【0010】

また、請求項2の発明に係る半導体装置は、半導体基板と、前記半導体基板内に形成されるP、Nいずれか一方の導電型式のディープウェル領域と、前記ディープウェル領域上に形成され、第1の電極となるP、Nいずれか他方の導電型式のシャローウェル領域と、前記シャローウェル領域内に形成され、P、Nいずれか一方の導電型式で第2の電極となるソース領域および第3の電極となるドレイン領域と、前記ソース領域とドレイン領域との間に形成されるチャネル領域と、前記チャネル領域上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成され、第4の電極となるゲート電極とを備え、相互に隣接する素子間が溝型分離領域によって少くともシャローウェル領域が電氣的に分離されており、該溝型分離領域で隣接素子間が区分された各シャローウェル領域毎に、ソース領域およびド



レイン領域以外の領域にコンタクト孔を設けることを特徴とする。

【0011】

上記の構成によれば、バルク基板であっても、各素子形成領域のシャローウェル領域を溝型分離領域で電氣的に絶縁することによって、各素子相互間の干渉を防止し、各素子毎の個別の動作を可能とした状態で、分離された各素子形成領域毎にMOSFETを形成する。そして、そのMOSFETのシャローウェル領域をコンタクト孔を介して外部と電氣的に接続して電極として使用可能とし、ゲートへの入力と、このシャローウェル領域への入力との2つの入力を可能とする4端子素子を実現する。

【0012】

したがって、1素子で2入力、1出力の回路を実現することができ、MOSFET単体の機能を向上することができる。これによって、たとえば論理回路を構成した場合には、集積回路化にあたって集積度を向上することができ、動作速度の高速化、歩留まりの向上およびコストの削減を図ることができる。また、SOI、SOS基板を用いる場合よりも、低コスト化および第1の電極の抵抗値を低減することができる。

【0013】

さらにまた、請求項3の発明に係る半導体装置は、前記請求項1または2記載の半導体装置において、導電型式が相互に逆極性の素子を一対とし、P型素子のソースを高電位固定とし、N型素子のソースを低電位固定とし、両者のゲートを共通に第1の入力端子とし、両者のコンタクト孔を共通に第2の入力端子とし、両者のドレインを共通に出力端子とすることを特徴とする。

【0014】

上記の構成によれば、P、N一対のMOSFETのうち、PMOSFETのソースを高電位固定とし、NMOSFETのソースを低電位固定とし、両者のドレインを出力としたCMOSインバータの構成において、両者のコンタクト孔を共通に第2の入力端子とし、通常の入力である両者のゲートを共通に第1の入力端子とする。

【0015】

したがって、2つの入力の電位またはチャネル領域の不純物濃度等を適宜調整することによって、NANDまたはNOR回路を実現することができる。これによって、従来では4つのMOSFETを要したこれらの回路を、2つのMOSFETで実現することができる。

【0016】

さらにまた、請求項4の半導体装置は、前記請求項1または2記載の半導体装置において、導電型式が相互に逆極性の素子を一对とし、P型素子のソースを高電位固定とし、N型素子のソースを低電位固定とし、P型素子のゲートおよびN型素子のコンタクト孔を共通に第1の入力端子とし、N型素子のゲートおよびP型素子のコンタクト孔を共通に第2の入力端子とし、両者のドレインを共通に出力端子とすることを特徴とする。

【0017】

上記の構成によっても、P、N一对のMOSFETのうち、PMOSFETのソースを高電位固定とし、NMOSFETのソースを低電位固定とし、両者のドレインを出力としたCMOSインバータの構成において、PMOSFETおよびNMOSFETのゲートをそれぞれ第1および第2の入力端子とし、NMOSFETおよびPMOSFETのコンタクト孔もそれぞれ前記第1および第2の入力端子とする。

【0018】

---

したがって、2つの入力の電位またはチャネル領域の不純物濃度等を適宜調整することによって、NANDまたはNOR回路を実現することができる。これによって、従来では4つのMOSFETを要したこれらの回路を、2つのMOSFETで実現することができる。

【0019】

さらにまた、請求項5の発明に係る半導体装置は、前記請求項1または2記載の半導体装置において、導電型式が相互に逆極性の素子を一对とし、N型素子のドレインを高電位固定とし、P型素子のドレインを低電位固定とし、両者のゲートを共通に第1の入力端子とし、両者のコンタクト孔を共通に第2の入力端子と

し、両者のソースを共通に出力端子とすることを特徴とする。

【0020】

上記の構成によれば、2つの入力電位またはチャネル領域の不純物濃度等を適宜調整することによって、ANDまたはOR回路を実現することができる。これによって、従来では6つのMOSFETを要したこれらの回路を、2つのMOSFETで実現することができる。

【0021】

また、請求項6の発明に係る半導体装置は、前記請求項1または2記載の半導体装置において、導電型式が相互に逆極性の素子を一対とし、N型素子のドレインを高電位固定とし、P型素子のドレインを低電位固定とし、N型素子のゲートおよびP型素子のコンタクト孔を共通に第1の入力端子とし、P型素子のゲートおよびN型素子のコンタクト孔を共通に第2の入力端子とし、両者のドレインを共通に出力端子とすることを特徴とする。

【0022】

上記の構成によっても、2つの入力電位またはチャネル領域の不純物濃度等を適宜調整することによって、ANDまたはOR回路を実現することができる。これによって、従来では6つのMOSFETを要したこれらの回路を、2つのMOSFETで実現することができる。

【0023】

さらにまた、請求項7の発明に係る半導体装置の駆動方法は、請求項1～6のいずれかに記載の半導体装置において、ゲートおよびコンタクト孔をそれぞれ入力端子とし、相互に同期した個別の入力信号を入力することを特徴とする。

【0024】

上記の構成によれば、クロックなどによって同期した相互に同期の取れた2つの入力信号に対して、上記各素子が1つの出力信号を出力する。

【0025】

したがって、単純な1入力1出力のON/OFF動作ではなく、2入力1出力の論理回路の動作を実現することができ、少ない素子数で論理回路を構成することができる。

【0026】

## 【発明の実施の形態】

本発明の実施の第1の形態について、図1～図3に基づいて説明すれば以下の通りである。

【0027】

図1は、本発明の基本的な構成を説明するための本発明の実施の第1の形態である半導体素子1を模式的に示す断面図である。ウェル2内に、ソース領域3とドレイン領域4とが形成され、これらの間のチャネル領域5上に、ゲート絶縁膜6を介してゲート電極7が形成されて構成される通常のMOSFETの構造において、ウェル2からコンタクト孔を介して基板端子TWを引出してこれを第1の電極とし、ソース領域3から引出されて第2の電極となるソース端子TSと、ドレイン領域4から引出されて第3の電極となるドレイン端子TDと、ゲート電極7から引出されて第4の電極となるゲート端子TGとの4端子構成とする。第1の入力端子である前記ゲート端子TGと第2の入力端子である前記基板端子TWとには、それぞれクロック信号などに基づいて相互に同期の取れた個別の入力IN1、IN2が与えられる。なお、ドレイン－ソース間には適当なドレイン電圧が印加されているものとする。

【0028】

前記半導体素子1において、ウェル2がP型に形成されるMOSFETの場合には、入力IN1、IN2の電位に対するドレイン電流の関係が、たとえば図2で示すようになる。入力IN2、すなわちウェル電位が低電位(L)であり、かつ入力IN1、すなわちゲート電位が低電位(L)であるときのドレイン電流は $I_{LL}$ となり、前記入力IN2が低電位(L)であり、かつ入力IN1が高電位(H)であるときのドレイン電流は $I_{HL}$ となる。

【0029】

これに対して、入力IN2が高電位(H)であり、かつ入力IN1が低電位(L)であるときには $I_{LH}$ のドレイン電流が流れ、入力IN2が高電位(H)であり、かつ入力IN1も高電位(H)であるときには $I_{HH}$ のドレイン電流が流れる。

## 【0030】

このように、同じ入力IN1に対しても、入力IN2の電位が高い方がドレイン電流が大きくなっている。これは、MOSFETにおいて、ウェル2に正の電圧を印加すると、チャネル領域の電位障壁が低下し、閾値電圧が低下することによるものであり、すなわちゲート電極7に正の電圧を印加していったときに、ドレイン電流の流れ始める電圧が低下することによるものである。

## 【0031】

この図2から、入力IN2が低電位(L)であるときには、入力IN1が高電位(H)と低電位(L)とのいずれであっても、ドレイン電流には殆ど差が生じないけれども、入力IN2が高電位(H)であるときには、入力IN1に対して、高電位(H)と低電位(L)とでドレイン電流に大きな差が生じる。したがって、この図2の例では、入力IN1、IN2がともに高電位(H)である場合のみドレイン-ソース間が導通し、その他の場合には遮断する動作を実現している。

## 【0032】

一方、動作特性を図3のように設定することによって、入力IN1、IN2の少くともいずれか一方が高電位(H)であるときには、ドレイン-ソース間が導通し、入力IN1、IN2がともに低電位(L)であるときにのみ遮断する動作を実現することができる。

## 【0033】

これら図2で示す特性と図3で示す特性とは、前記図1で示すような構造の半導体素子1において、たとえばチャネル領域5の不純物濃度や、入力IN1、IN2の高電位(H)のレベルおよび低電位(L)のレベルを適宜調整することによって、選択することができる。なお、前記ウェル2がN型に形成されるPMOSFETの場合には、これら図2および図3とは逆の動作特性となる。

## 【0034】

このようにして、相互に同期した2つの入力IN1、IN2に対して1つの出力を得ることができる素子を、1つの素子で実現して、該素子の高機能化を図り、集積回路化にあたって集積度を向上することができる。

【0035】

本発明の実施の第2の形態について、図4～図6に基づいて説明すれば以下の通りである。

【0036】

図4～図6は、上述の半導体素子1を具体的に実現するようにした半導体素子11の構造を示す図である。図4は正面図であり、図5は図4の切断面線V-Vから見た断面図であり、図6は図4の切断面線VI-VIから見た断面図である。なお図4では、後述する上部メタル配線および層間絶縁膜を取除いた実質の素子部分を示している。

【0037】

この半導体素子11は、半導体基板12上に下地絶縁膜13が形成され、さらにこの下地絶縁膜13上に半導体層14が形成されたSOI基板を用いている。また、半導体層14は、隣接素子間でフィールド酸化膜15によって相互に電気的に分離されており、隣接する素子間のウェル電位の変化の影響を受けないように構成されている。半導体層14内には、該半導体層14の導電型式とは逆の導電型式、すなわち、たとえば該半導体素子11がNMOSFETであるときには、該半導体層14の導電型式はP型であり、N型となる前記ソース領域3およびドレイン領域4が形成され、それらのソース領域3とドレイン領域4との間のチャンネル領域上に、前記ゲート絶縁膜6を介してゲート電極7が形成されている。

【0038】

このように形成された素子は、層間絶縁膜16で被覆されている。この層間絶縁膜16には、コンタクト孔17、18、19が形成されて上部メタル配線21、22、23がそれぞれ前記ソース領域3、ドレイン領域4、ゲート電極7と電気的に接続される。これによって、該上部メタル配線21、22、23が、それぞれ前記ソース端子TS、ドレイン端子TD、第1の入力端子であるゲート端子TGとなる。また、この層間絶縁膜16において、前記ソース領域3およびドレイン領域4以外の領域に、コンタクト孔20が形成されている。前記半導体層14において、このコンタクト孔20に対応する領域14aは、前記半導体層と同じ導電型式で不純物濃度の濃い領域であり、この領域14aによって、前記コン

タクト孔20に形成される上部メタル配線24は、半導体層14とオーミック接続されて、該上部メタル配線24は第2の入力端子である基板端子TWとなる。

## 【0039】

このような構造によって、SOI基板を用いて、さらに半導体層14にフィールド酸化膜15を形成するだけで、比較的容易に、隣接素子間を絶縁分離して、前記図1で示すような4端子素子を実現することができる。

## 【0040】

本発明の実施の第3の形態について、図7～図9に基づいて説明すれば以下の通りである。

## 【0041】

図7～図9は、前記図1で示す半導体素子1を、前記図4～図6で示す半導体素子11とは異なる構造で実現するようにした、半導体素子31の構造を示す図である。図7は正面図であり、図8は図7の切断面線VIII-VIIIから見た断面図であり、図9は図7の切断面線IX-IXから見た断面図である。なお図7では、層間絶縁膜および上部メタル配線を省略している。

## 【0042】

この半導体素子31では、半導体基板32内に、ディープウェル領域33と、このディープウェル領域33とは逆の導電形式のシャローウェル領域34とを積層形成するようにした基板を用いる。なお、前記シャローウェル領域34内には、該シャローウェル領域34の抵抗を低減するための高濃度埋込領域35が形成されており、また隣接する素子間は、電気絶縁性の溝型素子分離領域36によって相互に電氣的に分離されている。前記シャローウェル領域34には、該シャローウェル領域34と逆の導電形式のソース領域3およびドレイン領域4が形成されており、またこのソース領域3とドレイン領域4との間のチャネル領域上には、ゲート絶縁膜6を介してゲート電極7が形成されている。

## 【0043】

前記ソース領域3、ドレイン領域4およびゲート電極7は、層間絶縁膜37に形成されたコンタクト孔41、42、43を介して、上部メタル配線45、46、47にそれぞれ電氣的に接続されている。また、前記シャローウェル領域34

において、前記ソース領域3およびドレイン領域4以外の領域に、不純物濃度の濃い領域34aが形成されており、この領域34aは前記層間絶縁膜37に形成されたコンタクト孔44を介して、上部メタル配線48と電氣的に接続される。これによって、シャローウェル領域34は、上部メタル配線48とオーミック接続される。前記領域34aとゲート電極7との間には、フィールド酸化膜38が形成されている。

## 【0044】

この半導体素子31において、前記ソース領域3およびドレイン領域4は、たとえばその深さが約100nmおよび不純物濃度が $1 \times 10^{20} / \text{cm}^3$ 以上に形成され、シャローウェル領域34は、その深さが約1,000nmおよび不純物濃度が $5 \times 10^{16} \sim 1 \times 10^{17} / \text{cm}^3$ に形成され、高濃度埋込領域35は、その不純物の濃度分布がピークとなる深さが500~700nm、またそのピーク濃度が約 $1 \times 10^{18} \sim 1 \times 10^{19} / \text{cm}^3$ に形成され、ディープウェル領域33は、その深さが約3 $\mu\text{m}$ および不純物濃度が約 $5 \times 10^{16} / \text{cm}^3$ に形成される。なお、各領域の深さおよび不純物濃度は、これに限るものではない。

## 【0045】

また、前記溝型素子分離領域36の深さは、シャローウェル領域34の深さに、該シャローウェル領域34とディープウェル領域との接合によって形成される空乏層幅（正確には該空乏層幅のうち、ディープウェル領域33側に伸びている長さ）を加算した値以上に設定することによって、隣接する素子間でシャローウェル領域34を相互に電氣的に絶縁することができる。

## 【0046】

一方、前記溝型素子分離領域36の深さが、シャローウェル領域34の深さと、該シャローウェル領域34とディープウェル領域33との接合によって形成される空乏層幅との合計値に達しない場合には、ディープウェル領域33側の空乏層によって、隣接する素子のシャローウェル領域33間が電氣的に導通することになり、パンチスルーが発生してしまう。

## 【0047】

このため、前述のように構成することによって、素子形成上の最小加工寸法に



略等しい溝型分離領域36部分の僅かなスペースが増加するだけで、隣接する素子間を相互に電氣的に絶縁することができる。これによって、前述の図4～図6で示す半導体素子11のように、ボディー抵抗が高く、高価なSOI基板を用いることなく、前記図1で示すような4端子の半導体素子1を構成することができる。

#### 【0048】

本発明の実施の第4の形態について、図10および図11に基づいて説明すれば以下の通りである。

#### 【0049】

図10は、単位素子である前述の半導体素子1, 11, 31を用いる具体例を示すものであり、CMOS構成の論理回路LOG1の電気回路図である。この論理回路LOG1は、対を成すPMOSFET(QP)と、NMOSFET(QN)とを備えており、PMOSFET(QP)のソースTSPがハイレベル( $V_{DD}$ )の電源ラインと接続され、NMOSFET(QN)のソースTSNがローレベル(GND)の電源ラインと接続され、両MOSFET(QP), (QN)のドレインTDP, TDNが共通に出力端子P3に接続され、ゲートTGP, TGNが共通に第1の入力端子P1に接続される通常のCMOSインバータの構成において、基板端子TWP, TWNを共通に第2の入力端子P2に接続するようにしたものである。

#### 【0050】

また、電源電圧 $V_{DD}$ やチャネル領域の不純物濃度を適宜選択することによって、PMOSFET(QP)の入力IN1, IN2に対するドレイン電流の動作特性は、図11(a)で示すように設定されており、同様にNMOSFET(QN)の入力IN1, IN2に対するドレイン電流の動作特性は、図11(b)で示すように設定されている。すなわち、両MOSFET(QP), (QN)は、ともに入力IN2が低電位(L)のときには閾値電圧(グラフにおける折点)が高電位(H)より高く、入力IN2が高電位(H)であるときには閾値電圧が該高電位(H)より低く、かつ低電位(L)より高くなるように設定されている。

## 【0051】

上述のように構成された論理回路LOG1では、入力IN1が低電位（L）であるときには、入力IN2の電位に拘らず、PMOSFET（QP）は導通し、NMOSFET（QN）は遮断し、出力OUTは高電位（H）となる。これに対して、入力IN1が高電位（H）であると、入力IN2が低電位（L）であるときにPMOSFET（QP）は導通し、NMOSFET（QN）は遮断し、出力OUTは高電位（H）となり、入力IN2も高電位（H）となると、PMOSFET（QP）は遮断し、NMOSFET（QN）は導通し、出力OUTは低電位（L）となる。以上の動作をまとめると表1のようになり、入力IN1、IN2がともに高電位（H）であるときにのみ出力OUTが低電位（L）となり、入力IN1、IN2の少なくともいずれか一方が低電位（L）であるときには出力OUTが高電位（H）となるNAND動作を実現することが理解される。

## 【0052】

【表1】

IN1	IN2	QP	QN	OUT
L	L	ON	OFF	H
L	H	ON	OFF	H
H	L	ON	OFF	H
H	H	OFF	ON	L

## 【0053】

したがって、通常は4個のMOSFETが必要なNAND回路を、2個のMOSFETで実現することができ、集積回路化にあたって、集積度を向上することができる。

## 【0054】

本発明の実施の第5の形態について、図12および図13に基づいて説明すれば以下の通りである。

## 【0055】

図12は、本発明の実施の第5の形態の論理回路LOG2の電気回路図である

。この論理回路LOG2は、P、N一对のMOSFET (QP), (QN) を備えて構成されており、PMOSFET (QP) のソースTSPは前記ハイレベル ( $V_{DD}$ ) の電源ラインに接続され、NMOSFET (QN) のソースTSNはローレベル (GND) の電源ラインに接続され、両者のドレインTDP, TDNが共通に出力端子P3に接続される点は、前述の論理回路LOG1と類似している。しかしながら、PMOSFET (QP) のゲートTGPとNMOSFET (QN) の基板端子TWNとを共通に入力端子P1に接続し、NMOSFET (QN) のゲートTGNとPMOSFET (QP) の基板端子TWPとを共通に入力端子P2に接続している。

## 【0056】

また、この論理回路LOG2の動作特性は、図13で示すように設定されている。すなわち、PMOSFET (QP) は、図13 (a) で示すように、入力IN2、すなわちウェル電位が低電位 (L) であるときには閾値電圧が高電位 (H) より高く、前記入力IN2が高電位 (H) であるときには前記閾値電圧が前記高電位 (H) より低く、かつ低電位 (L) より高くなるように設定されている。これに対して、NMOSFET (QN) は、図13 (b) で示すように、入力IN1が低電位 (L) であるときには閾値電圧が高電位 (H) より高く、前記入力IN1が高電位 (H) であるときには前記閾値電圧が前記高電位 (H) より低く、かつ低電位 (L) より高くなるように設定されている。

## 【0057】

したがって、入力IN1が低電位 (L) であるときには、入力IN2のレベルに拘らず、PMOSFET (QP) は導通し、NMOSFET (QN) は遮断し、出力OUTは高電位 (H) となる。また、入力IN1が高電位 (H) では、入力IN2が低電位 (L) であると、PMOSFET (QP) は導通し、NMOSFET (QN) は遮断し、出力OUTは高電位 (H) となる。さらにまた、入力IN1, IN2がともに高電位 (H) であるときには、PMOSFET (QP) は遮断し、NMOSFET (QN) は導通し、出力OUTは低電位 (L) となる。

【0058】

すなわち、前記表1で示すように、入力IN1、IN2がともに高電位(H)であるときにのみ出力OUTは低電位(L)となり、その他の場合には出力OUTは高電位(H)となる。このように構成してもまた、前記NAND動作を実現することができる。

【0059】

本発明の実施の第6の形態について、図14に基づいて説明すれば以下の通りである。

【0060】

本実施の第6の形態では、前述の図10で示す論理回路LOG1において、MOSFET(QP)、(QN)の動作特性を、それぞれ前記図11(a)および図11(b)のように設定するのではなく、図14(a)および図14(b)のように設定する。すなわち、MOSFET(QP)、(QN)ともに、入力IN2が低電位(L)であるときには、閾値電圧が該低電位(L)より高く、かつ高電位(H)より低く、入力IN2が高電位(H)であるときには、前記閾値電圧が該低電位(L)より低くなるように設定されている。

【0061】

これによって、入力IN1が高電位(H)であるときには、入力IN2の電位に拘らず、PMOSFET(QP)は遮断し、NMOSFET(QN)は導通し、出力OUTは低電位(L)となる。また、入力IN1が低電位(L)であり、かつ入力IN2が高電位(H)であるときにも、PMOSFET(QP)は遮断し、NMOSFET(QN)は導通し、出力OUTは低電位(L)となる。さらにまた、入力IN1、IN2がともに低電位(L)であるときには、PMOSFET(QP)は導通し、NMOSFET(QN)は遮断し、出力OUTは高電位(H)となる。したがって、これらの動作をまとめると、表2で示すように、入力IN1、IN2がともに低電位(L)であるときにのみ出力OUTが高電位(H)となり、その他の場合には出力OUTが低電位(L)となるNOR動作を実現することができる。

【0062】

【表2】

IN1	IN2	QP	QN	OUT
L	L	ON	OFF	H
L	H	OFF	ON	L
H	L	OFF	ON	L
H	H	OFF	ON	L

【0063】

このようにして、通常は4個のMOSFETが必要なNOR回路を、2個のMOSFETによって実現することができる。

【0064】

本発明の実施の第7の形態について、図15に基づいて説明すれば以下の通りである。

【0065】

図15は、本発明の実施の第7の形態の動作特性を示すグラフであり、前述の図12で示す論理回路LOG2に適用される。図15(a)はPMOSFET(QP)の動作特性を表し、図15(b)はNMOSFET(QN)の動作特性を表す。すなわち、PMOSFET(QP)のウェル電位(入力IN2)およびNMOSFET(QN)のウェル電位(入力IN1)が、ともに低電位(L)であるときには、それぞれの閾値電圧が該低電位(L)より高く、かつ高電位(H)より低く設定され、ウェル電位がともに高電位(H)であるときには、閾値電圧が該低電位(L)より低くなるように設定されている。

【0066】

したがって、入力IN1が高電位(H)であるときには、入力IN2の電位に拘らず、PMOSFET(QP)は遮断し、NMOSFET(QN)は導通し、出力OUTは低電位(L)となる。また、入力IN1が低電位(L)であり、入力IN2が高電位(H)であるときにも、PMOSFET(QP)は遮断し、NMOSFET(QN)は導通し、出力OUTは低電位(L)となる。さらにまた

、入力IN1、IN2がともに低電位(L)であるときには、PMOSFET(QP)は導通し、NMOSFET(QN)は遮断し、出力OUTは高電位(H)となる。

【0067】

したがって、このように構成してもまた、前記表2で示すように、入力IN1、IN2がともに低電位(L)であるときにのみ出力OUTが高電位(H)となり、その他の場合には低電位(L)となるNOR動作を実現することができる。

【0068】

本発明の実施の第8の形態について、図16および図17に基づいて説明すれば以下の通りである。

【0069】

図16は、本発明の実施の第8の形態の論理回路LOG3の電気回路図である。この論理回路LOG3では、NMOSFET(QN)のドレインTDNが高レベル( $V_{DD}$ )の電源ラインと接続され、PMOSFET(QP)のドレインTDPがローレベル(GND)の電源ラインと接続され、両MOSFET(QP)、(QN)のソースTSP、TSNが共通に出力端子P3に接続され、ゲートTGP、TGNが共通に第1の入力端子P1に接続され、基板端子TWP、TWNが共通に第2の入力端子P2に接続される。

【0070】

また、電源電圧 $V_{DD}$ やチャネル領域の不純物濃度を適宜選択することによって、PMOSFET(QP)の入力IN1、IN2に対するドレイン電流の動作特性は、図17(a)で示すように設定されており、同様にNMOSFET(QN)の入力IN1、IN2に対するドレイン電流の動作特性は、図17(b)で示すように設定されている。

【0071】

すなわち、両MOSFET(QP)、(QN)がともに入力IN2、すなわちウェル電位が低電位(L)であるときには、閾値電圧が高電位(H)より高くなるように設定され、入力IN2が高電位(H)であるときには、閾値電圧が該高電位(H)より低く、かつ低電位(L)より高くなるように設定されている。

## 【0072】

したがって、入力IN1が低電位（L）であるときには、入力IN2の電位に拘らず、PMOSFET（QP）は導通し、NMOSFET（QN）は遮断し、出力OUTは低電位（L）となる。また、入力IN1が高電位（H）であり、入力IN2が低電位（L）であるときにも、PMOSFET（QP）は導通し、NMOSFET（QN）は遮断し、出力OUTは低電位（L）となる。さらにまた、入力IN1、IN2がともに高電位（H）であるときには、PMOSFET（QP）は遮断し、NMOSFET（QN）は導通し、出力OUTは高電位（H）となる。

## 【0073】

したがって、表3で示すように、入力IN1、IN2がともに高電位（H）であるときにのみ出力OUTは高電位（H）となり、その他の場合には出力OUTは低電位（L）となって、AND動作を行うことが理解される。

## 【0074】

【表3】

IN1	IN2	QP	QN	OUT
L	L	ON	OFF	L
L	H	ON	OFF	L
H	L	ON	OFF	L
H	H	OFF	ON	H

## 【0075】

このようにして、従来技術で述べたように、通常6個のMOSFETで構成されるAND回路を、2個のMOSFETで実現することができる。

## 【0076】

本発明の実施の第9の形態について、図18および図19に基づいて説明すれば以下の通りである。

## 【0077】

図18は、本発明の実施の第9の形態の論理回路LOG4の電気回路図である

。この論理回路LOG4では、NMOSFET (QN) のドレインTDNは前記ハイレベル ( $V_{DD}$ ) の電源ラインに接続され、PMOSFET (QP) のドレインTDPはローレベル (GND) の電源ラインに接続され、両者のソースTSP, TSNが共通に出力端子P3に接続される点は、前述の論理回路LOG3と類似している。しかしながら、NMOSFET (QN) のゲートTGNとPMOSFET (QP) の基板端子TWPとを共通に入力端子P1に接続し、PMOSFET (QP) のゲートTGPとNMOSFET (QN) の基板端子TWNとを共通に入力端子P2に接続している。

【0078】

また、この論理回路LOG4の動作特性は、図19で示すように設定されている。すなわち、PMOSFET (QP) は、図19 (a) で示すように、入力IN1、すなわちウェル電位が低電位 (L) であるときには閾値電圧が高電位 (H) より高く、前記入力IN1が高電位 (H) であるときには前記閾値電圧が前記高電位 (H) より低く、かつ低電位 (L) より高くなるように設定されている。これに対して、NMOSFET (QN) は、図19 (b) で示すように、入力IN2が低電位 (L) であるときには閾値電圧が高電位 (H) より高く、前記入力IN2が高電位 (H) であるときには前記閾値電圧が前記高電位 (H) より低く、かつ低電位 (L) より高くなるように設定されている。

【0079】

したがって、入力IN1が低電位 (L) であるときには、入力IN2のレベルに拘らず、PMOSFET (QP) は導通し、NMOSFET (QN) は遮断し、出力OUTは低電位 (L) となる。また、入力IN1が高電位 (H) では、入力IN2が低電位 (L) であると、PMOSFET (QP) は導通し、NMOSFET (QN) は遮断し、出力OUTは低電位 (L) となる。さらにまた、入力IN1, IN2がともに高電位 (H) であるときには、PMOSFET (QP) は遮断し、NMOSFET (QN) は導通し、出力OUTは高電位 (H) となる。

【0080】

すなわち、前記表3で示すように、入力IN1, IN2がともに高電位 (H)



であるときにのみ出力OUTは高電位（H）となり、その他の場合には出力OUTは低電位（L）となる。このように構成してもまた、前記AND動作を実現することができる。

【0081】

本発明の実施の第10の形態について、図20に基づいて説明すれば以下の通りである。

【0082】

図20は、本発明の実施の第10の形態の動作特性を示すグラフである。この動作特性は、前述の図16で示す論理回路LOG3に適用される。図20（a）はPMOSFET（QP）の動作特性を表し、図20（b）はNMOSFET（QN）の動作特性を表す。したがって、MOSFET（QP），（QN）のウェル電位、すなわち入力IN2がともに低電位（L）であるときには、閾値電圧が該低電位（L）より高く、かつ高電位（H）より低く、入力IN2が高電位（H）であるときには、閾値電圧が該低電位（L）より低くなるように設定されている。

【0083】

これによって、入力IN1が高電位（H）であるときには、入力IN2の電位に拘らず、PMOSFET（QP）は遮断し、NMOSFET（QN）は導通し、出力OUTは高電位（H）となる。また、入力IN1が低電位（L）であり、入力IN2が高電位（H）であるときにも、PMOSFET（QP）は遮断し、NMOSFET（QN）は導通し、出力OUTは高電位（H）となる。さらにまた、入力IN1，IN2がともに低電位（L）であるときには、PMOSFET（QP）は導通し、NMOSFET（QN）は遮断し、出力OUTは低電位（L）となる。

【0084】

すなわち、表4で示すように、入力IN1，IN2がともに低電位（L）であるときにのみ出力OUTが低電位（L）となり、その他の場合には出力OUTが高電位（H）となるOR動作を実現することが理解される。

【0085】

【表4】

IN1	IN2	QP	QN	OUT
L	L	ON	OFF	L
L	H	OFF	ON	H
H	L	OFF	ON	H
H	H	OFF	ON	H

【0086】

このようにして、前述のように通常では6個のMOSFETで構成されるOR回路を、2個のMOSFETで実現することができる。

【0087】

本発明の実施の第11の形態について、図21に基づいて説明すれば以下の通りである。

【0088】

図21は、本発明の実施の第11の形態の動作特性を示すグラフであり、前述の図18で示す論理回路LOG4に適用される。図21(a)はPMOSFET(QP)の動作特性を表し、図21(b)はNMOSFET(QN)の動作特性を表す。すなわち、PMOSFET(QP)のウェル電位(入力IN1)、およびNMOSFET(QN)のウェル電位(入力IN2)が低電位(L)であるときに閾値電圧が該低電位(L)より高く、かつ高電位(H)より低くなり、前記ウェル電位が高電位(H)であるときには、閾値電圧が低電位(L)より低くなるように設定されている。

【0089】

したがって、入力IN1が高電位(H)であるときには、入力IN2の電位に拘らず、PMOSFET(QP)は遮断し、NMOSFET(QN)は導通し、出力OUTは高電位(H)となる。また、入力IN1が低電位(L)であり、入力IN2が高電位(H)であるときにも、PMOSFET(QP)は遮断し、NMOSFET(QN)は導通し、出力OUTは高電位(H)となる。さらにまた

、入力IN1、IN2がともに低電位(L)であるときには、PMOSFET(QP)は導通し、NMOSFET(QN)は遮断し、出力OUTは低電位(L)となる。

【0090】

すなわち、前記表4で示すように、入力IN1、IN2がともに低電位(L)であるときにのみ出力OUTが低電位(L)となり、その他の場合には出力OUTが高電位(H)となり、このように構成してもまた、前記OR動作を実現することができる。

【0091】

【発明の効果】

請求項1の発明に係る半導体装置は、以上のように、SOI、SOS構造の基板上で、各素子の形成領域を素子分離領域によって電氣的に分離し、分離された各素子形成領域毎にMOSFETを形成し、そのMOSFETの半導体層をコンタクト孔を介して外部と電氣的に接続して電極として使用可能とする。

【0092】

それゆえ、1素子で2入力、1出力の回路を実現することができ、MOSFET単体の機能を向上することができる。これによって、たとえば論理回路を構成した場合には、集積回路化にあたって集積度を向上することができ、動作速度の高速化、歩留まりの向上およびコストの削減を図ることができる。

【0093】

また、請求項2の発明に係る半導体装置は、以上のように、半導体基板内にP、Nいずれか一方の導電型式のディープウェル領域と、P、Nいずれか他方の導電型式のシャローウェル領域とを形成し、かつ相互に隣接する素子間が溝型分離領域によって少くともそのシャローウェル領域を電氣的に分離したバルク基板を用い、分離された各素子形成領域毎にMOSFETを形成し、そのMOSFETのソース領域およびドレイン領域以外の領域にコンタクト孔を設け、シャローウェル領域を外部と電氣的に接続して電極として使用可能とする。

【0094】

上記の構成によれば、バルク基板であっても、各素子形成領域のシャローウェ

ル領域を溝型素子分離領域で電氣的に絶縁することによって、各素子相互間の干渉を防止して各素子毎の個別の動作を可能とする。そして、そのMOSFETの半導体層をコンタクト孔を介して外部と電氣的に接続して電極として使用可能とし、ゲートへの入力とこの半導体層への入力との2つの入力を可能とする。

【0095】

それゆえ、1素子で2入力、1出力の回路を実現することができ、MOSFET単体の機能を向上することができる。これによって、たとえば論理回路を構成した場合には、集積回路化にあたって集積度を向上することができ、動作速度の高速化、歩留まりの向上およびコストの削減を図ることができる。また、SOI、SOS基板を用いる場合よりも、低コスト化および第1の電極の抵抗値を低減することができる。

【0096】

さらにまた、請求項3の発明に係る半導体装置は、以上のように、前記請求項1または2記載の半導体装置において、導電型式が相互に逆極性の素子を一对としたCMOSインバータの構成において、両者のコンタクト孔を共通に第2の入力端子とし、通常の入力である両者のゲートを共通に第1の入力端子とする。

【0097】

それゆえ、2つの入力の電位またはチャネル領域の不純物濃度を適宜調整することによって、NANDまたはNOR回路を実現することができ、従来では4つのMOSFETを要したこれらの回路を、2つのMOSFETで実現することができる。

【0098】

さらにまた、請求項4の発明に係る半導体装置は、以上のように、前記請求項1または2記載の半導体装置において、導電型式が相互に逆極性の素子を一对としたCMOSインバータの構成において、PMOSFETおよびNMOSFETのゲートをそれぞれ第1および第2の入力端子とし、NMOSFETおよびPMOSFETのコンタクト孔もそれぞれ前記第1および第2の入力端子とする。

【0099】

それゆえ、2つの入力電位またはチャネル領域の不純物濃度を適宜調整するこ

とによって、NANDまたはNOR回路を実現することができる。これによって、従来では4つのMOSFETを要したこれらの回路を、2つのMOSFETで実現することができる。

【0100】

さらにまた、請求項5の発明に係る半導体装置は、以上のように、前記請求項1または2記載の半導体装置において、導電型式が相互に逆極性の素子を一对とし、N型素子のドレインを高電位固定とし、P型素子のドレインを低電位固定とし、両者のゲートを共通に第1の入力端子とし、両者のコンタクト孔を共通に第2の入力端子とする。

【0101】

それゆえ、2つの入力電位またはチャネル領域の不純物濃度を適宜調整することによって、ANDまたはOR回路を実現することができる。これによって、従来では6つのMOSFETを要したこれらの回路を、2つのMOSFETで実現することができる。

【0102】

また、請求項6の発明に係る半導体装置は、以上のように、前記請求項1または2記載の半導体装置において、導電型式が相互に逆極性の素子を一对とし、N型素子のドレインを高電位固定とし、P型素子のドレインを低電位固定とし、N型素子のゲートおよびP型素子のコンタクト孔を共通に第1の入力端子とし、P型素子のゲートおよびN型素子のコンタクト孔を共通に第2の入力端子とし、両者のドレインを共通に出力端子とする。

【0103】

それゆえ、2つの入力電位またはチャネル領域の不純物濃度を適宜調整することによって、ANDまたはOR回路を実現することができる。これによって、従来では6つのMOSFETを要したこれらの回路を、2つのMOSFETで実現することができる。

【0104】

さらにまた、請求項7の発明に係る半導体装置の駆動方法は、以上のように、請求項1～6のいずれかに記載の半導体装置において、ゲートおよびコンタクト

孔をそれぞれ入力端子とし、クロックなどによって相互に同期の取れた個別の入力信号を入力する。

【0105】

それゆえ、単純な1入力1出力のON/OFF動作ではなく、2入力1出力の論理回路の動作を実現することができ、少ない素子数で論理回路を構成することができる。

【図面の簡単な説明】

【図1】

本発明の基本的な構成を表す、本発明の実施の第1の形態の半導体素子を模式的に示す断面図である。

【図2】

図1で示す半導体素子の動作特性の一例を示すグラフである。

【図3】

図1で示す半導体素子の動作特性の他の例を示すグラフである。

【図4】

図1の構成を具体的に実現する本発明の実施の第2の形態の半導体素子の正面図である。

【図5】

図4の切断面線V-Vから見た断面図である。

【図6】

図4の切断面線VI-VIから見た断面図である。

【図7】

図1の構成を具体的に実現する本発明の実施の第3の形態の半導体素子の正面図である。

【図8】

図7の切断面線VIII-VIIIから見た断面図である。

【図9】

図7の切断面線IX-IXから見た断面図である。

【図10】

前記図1～図9で示す半導体素子を用いる本発明の実施の第4の形態の論理回路の電気回路図である。

【図11】

図10で示す論理回路の動作特性を示すグラフである。

【図12】

前記図1～図9で示す半導体素子を用いる本発明の実施の第5の形態の論理回路の電気回路図である。

【図13】

図12で示す論理回路の動作特性を示すグラフである。

【図14】

本発明の実施の第6の形態の論理回路の動作特性を示すグラフである。

【図15】

本発明の実施の第7の形態の論理回路の動作特性を示すグラフである。

【図16】

前記図1～図9で示す半導体素子を用いる本発明の実施の第8の形態の論理回路の電気回路図である。

【図17】

図16で示す論理回路の動作特性を示すグラフである。

【図18】

前記図1～図9で示す半導体素子を用いる本発明の実施の第9の形態の論理回路の電気回路図である。

【図19】

図18で示す論理回路の動作特性を示すグラフである。

【図20】

本発明の実施の第10の形態の論理回路の動作特性を示すグラフである。

【図21】

本発明の実施の第11の形態の論理回路の動作特性を示すグラフである。

【図22】

典型的な従来技術のMOSFET素子を用いて構成される論理回路の一例を示す電気回路図である。

【図23】

典型的な従来技術のMOSFET素子を用いて構成される論理回路の他の例を示す電気回路図である。

【符号の説明】

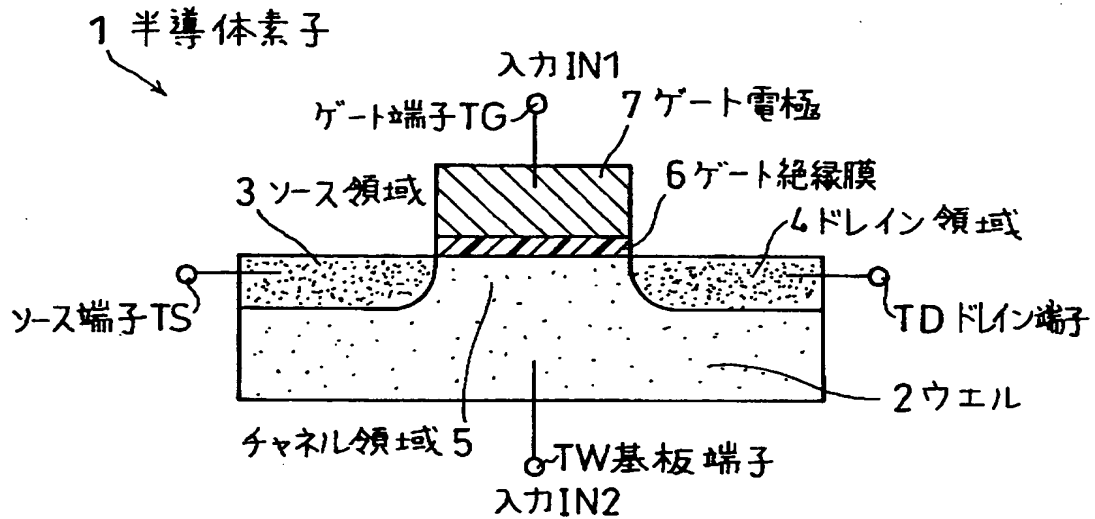
1, 11, 31	半導体素子
2	ウェル
3	ソース領域
4	ドレイン領域
5	チャネル領域
6	ゲート絶縁膜
7	ゲート電極
12, 32	半導体基板
13	下地絶縁膜
14	半導体層
15, 38	フィールド酸化膜
16, 37	層間絶縁膜
17, 18, 19, 20; 41, 42, 43, 44	コンタクト孔
21, 22, 23, 34; 45, 46, 47, 48	上部メタル配線
33	ディープウェル領域
34	シャローウェル領域
35	高濃度埋込領域
36	溝型素子分離領域
LOG1, LOG2, LOG3, LOG4	論理回路
QP	PMOSFET
QN	NMOSFET
TD; TDP, TDN	ドレイン端子



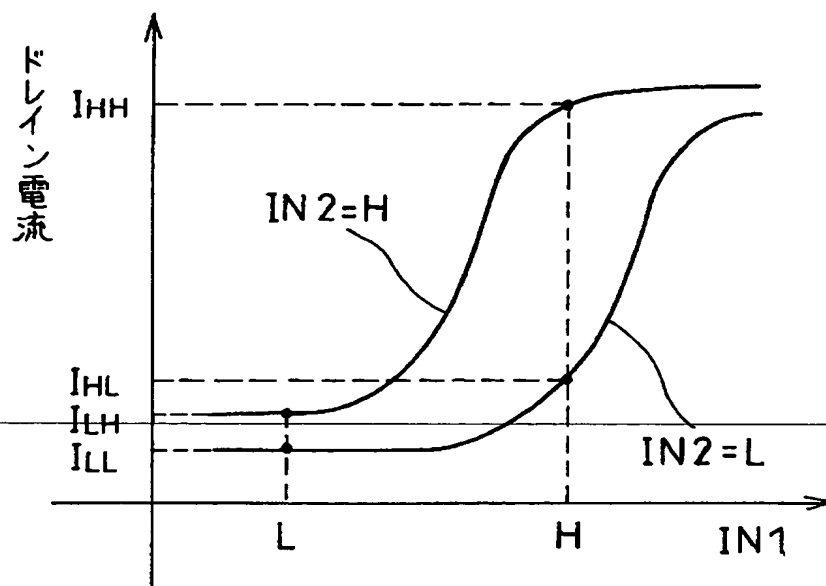
TG; TGP, TGN	ゲート端子
TS; TSP, TSN	ソース端子
TW; TWP, TWN	基板端子

【書類名】 図面

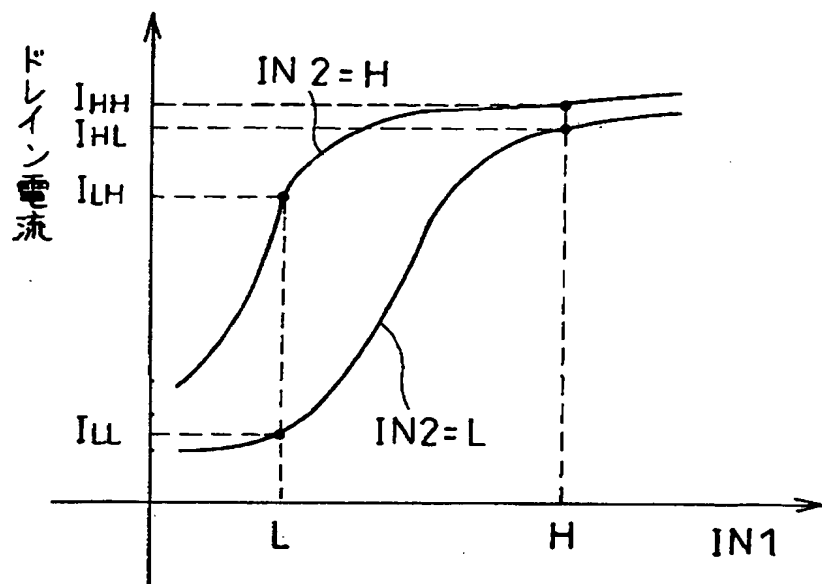
【図1】



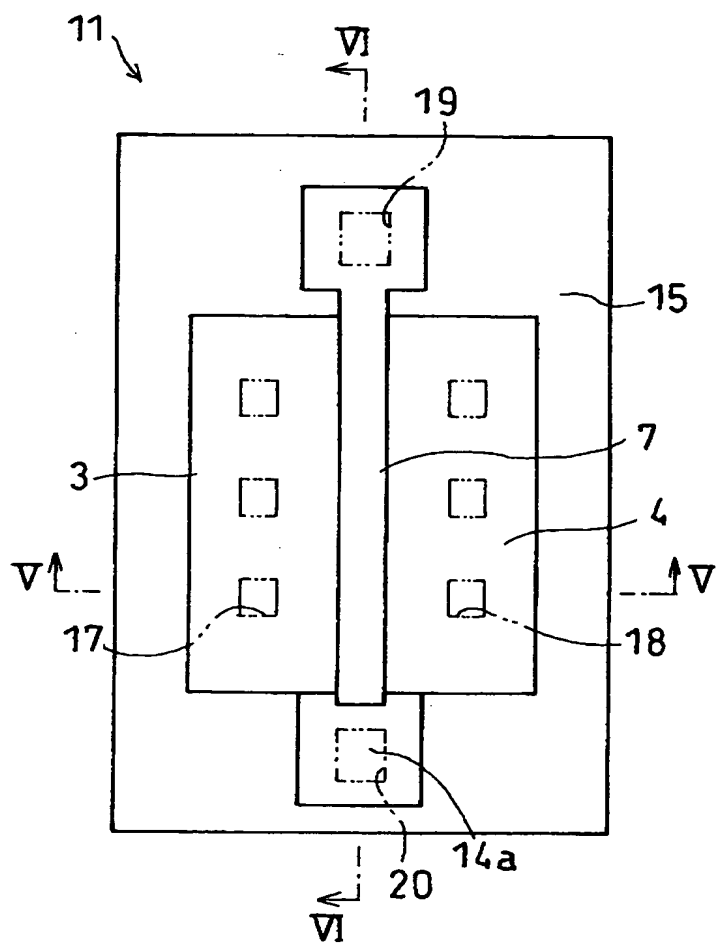
【図2】



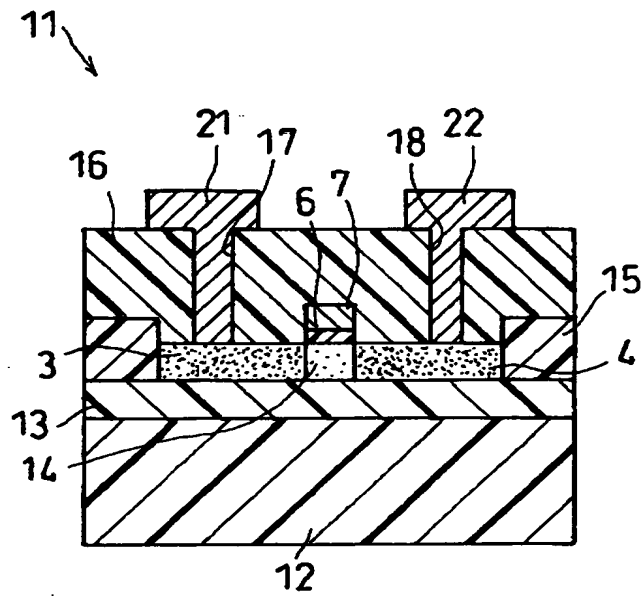
【図3】



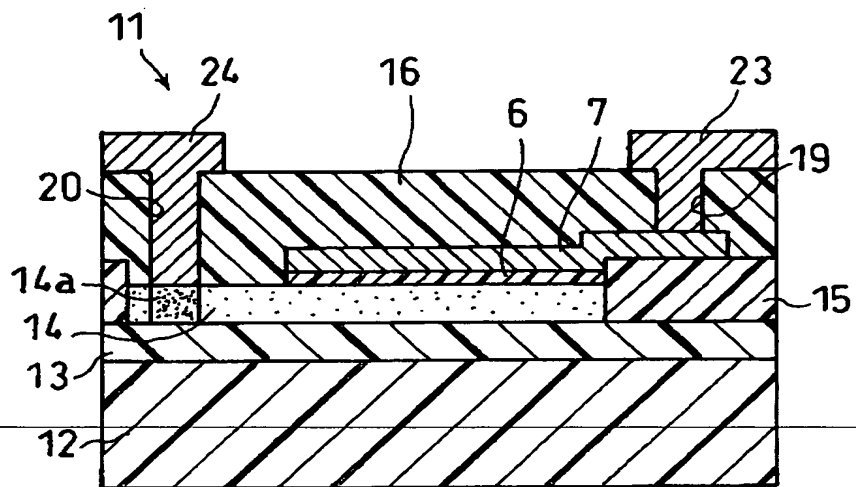
【図4】



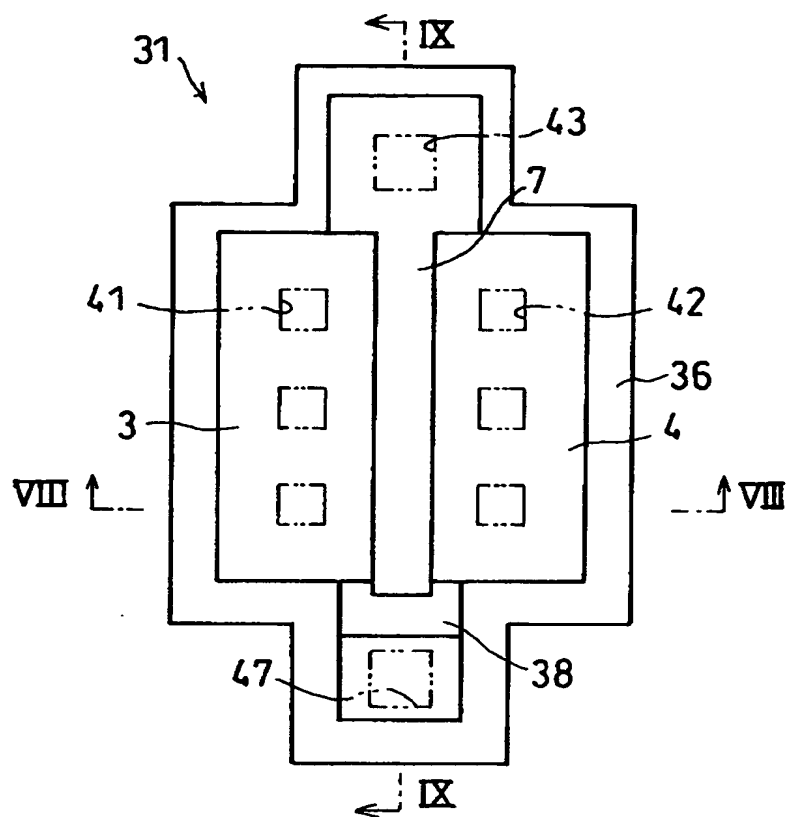
【図5】



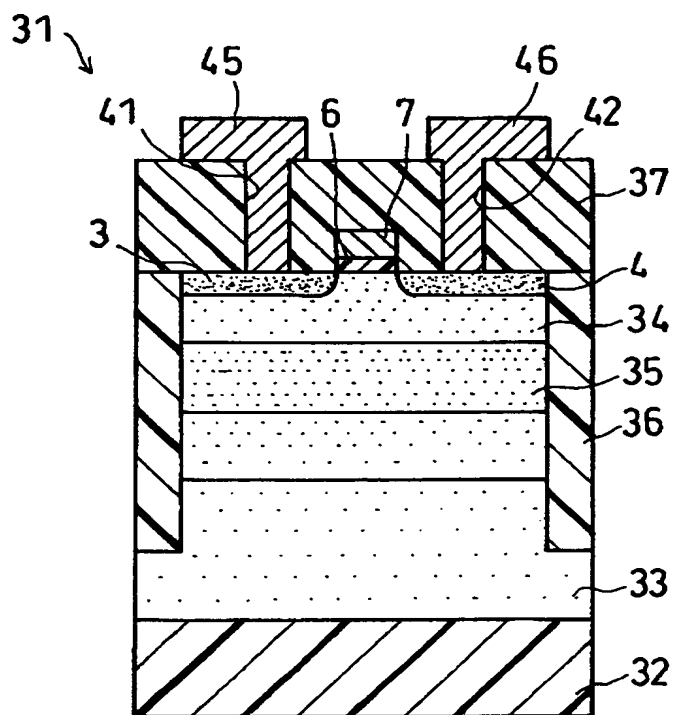
【図6】



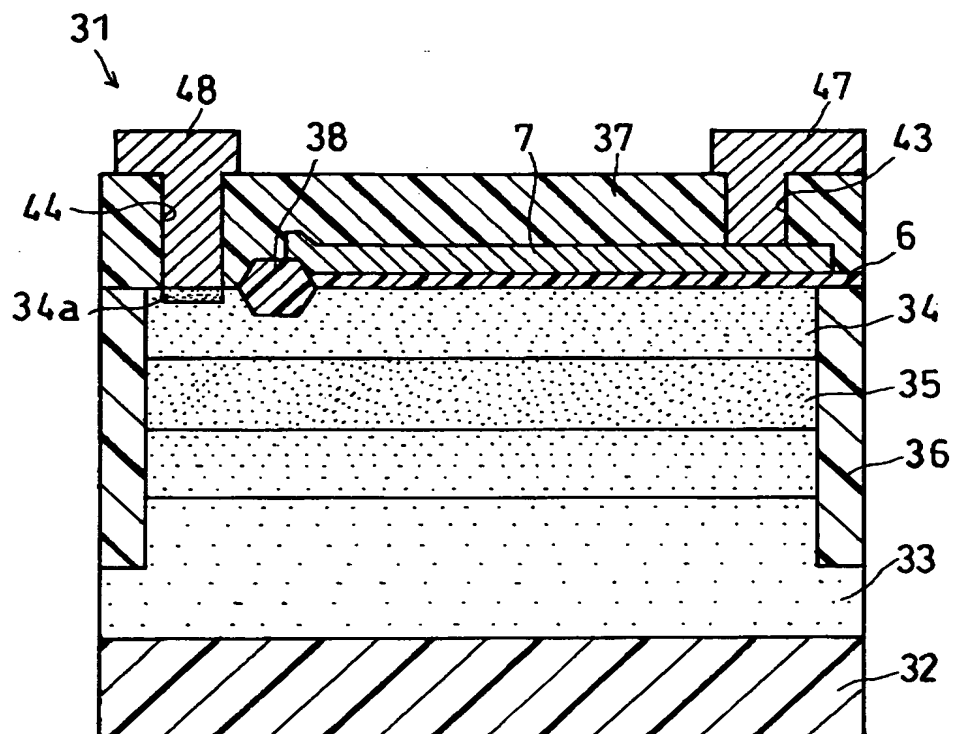
【図7】



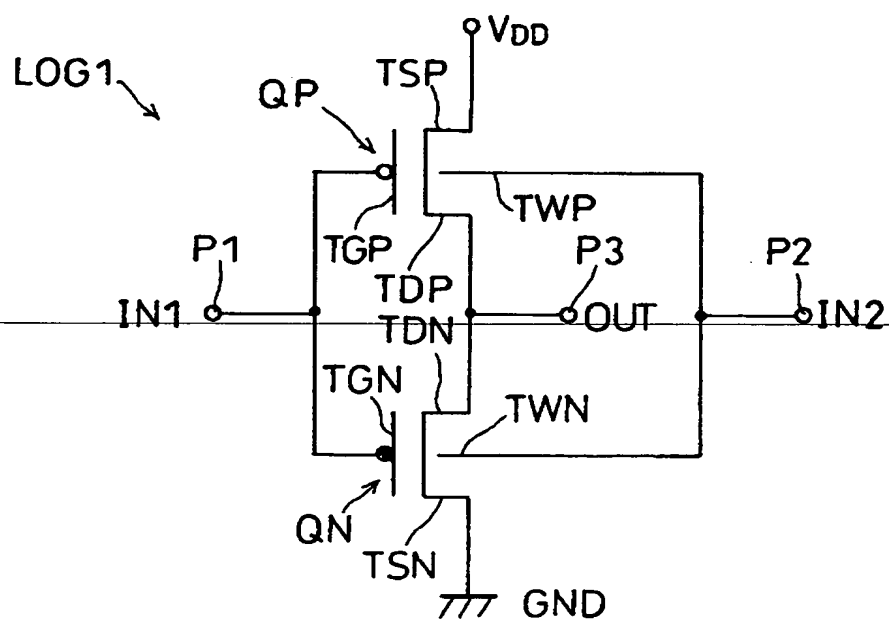
【图8】



【図 9】

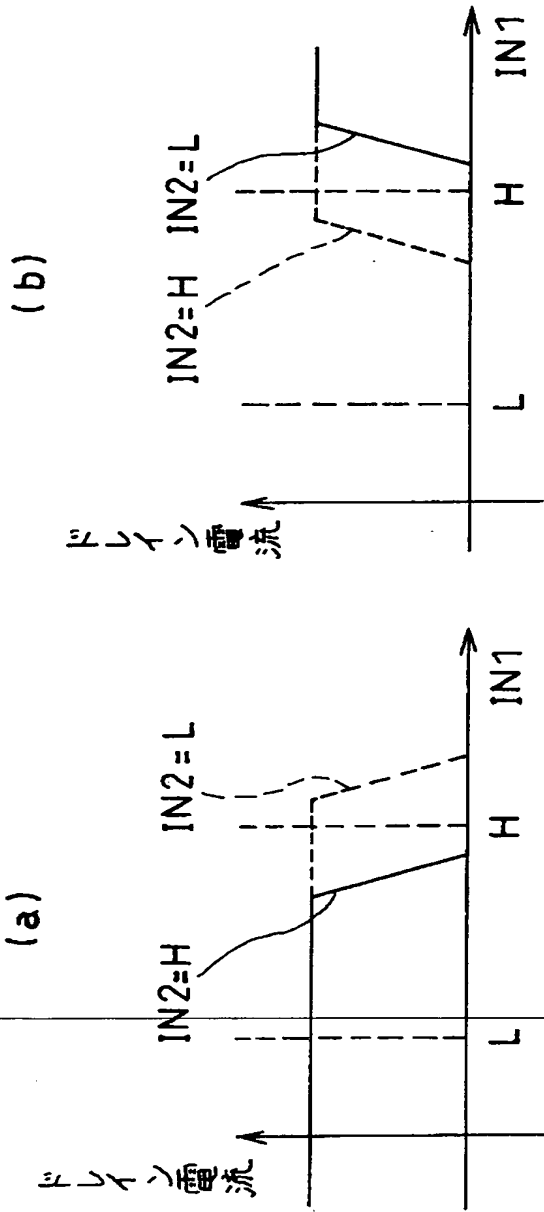


【図 10】

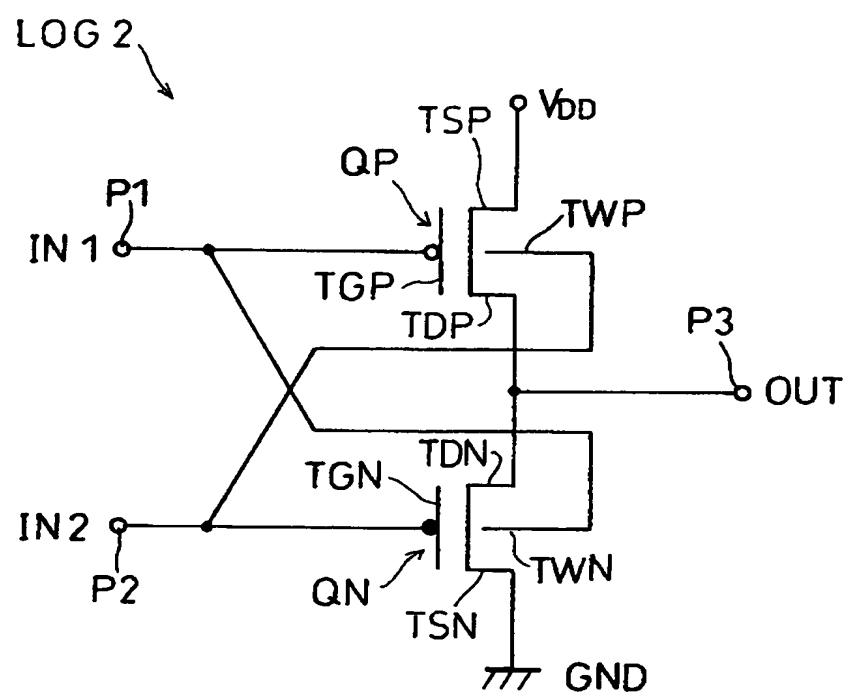




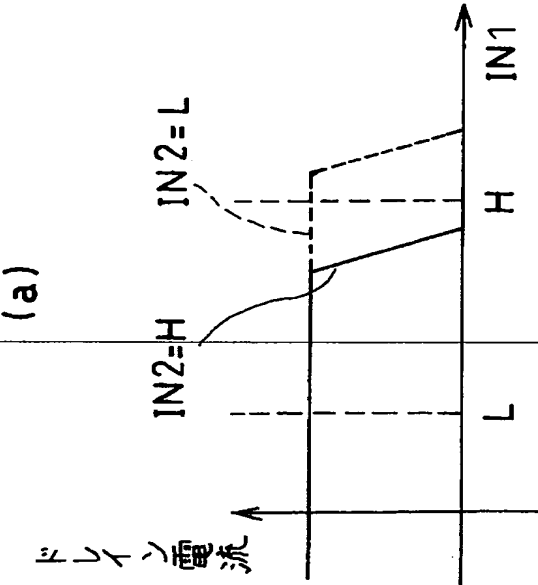
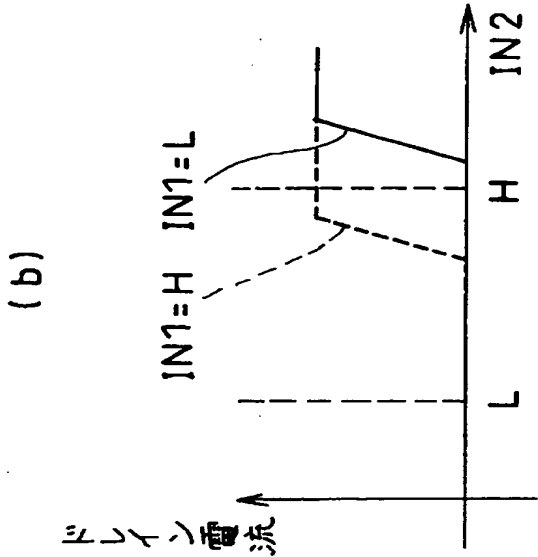
【図11】



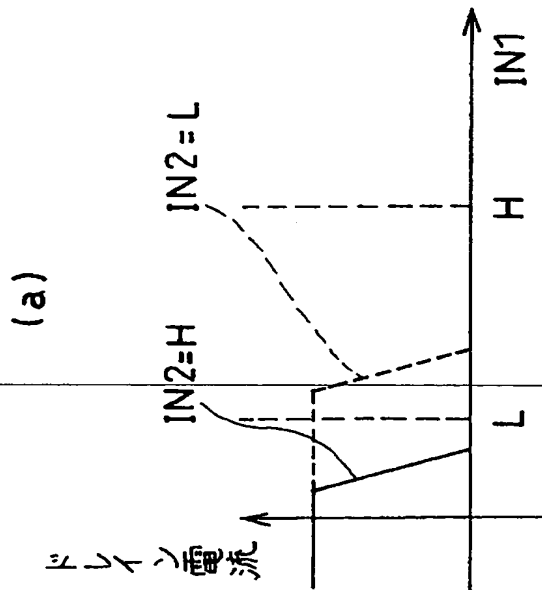
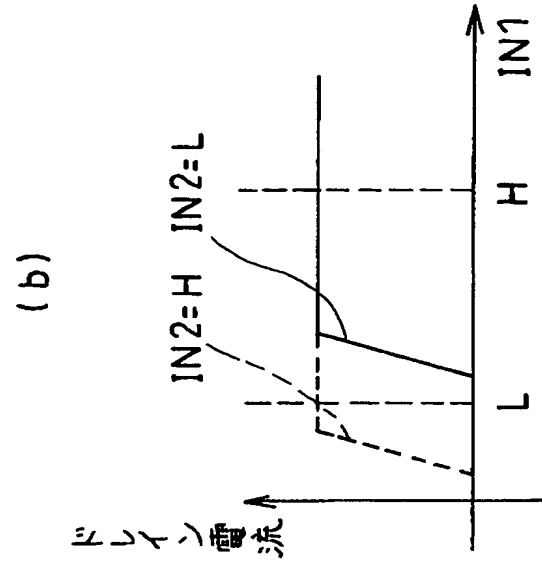
【図 12】



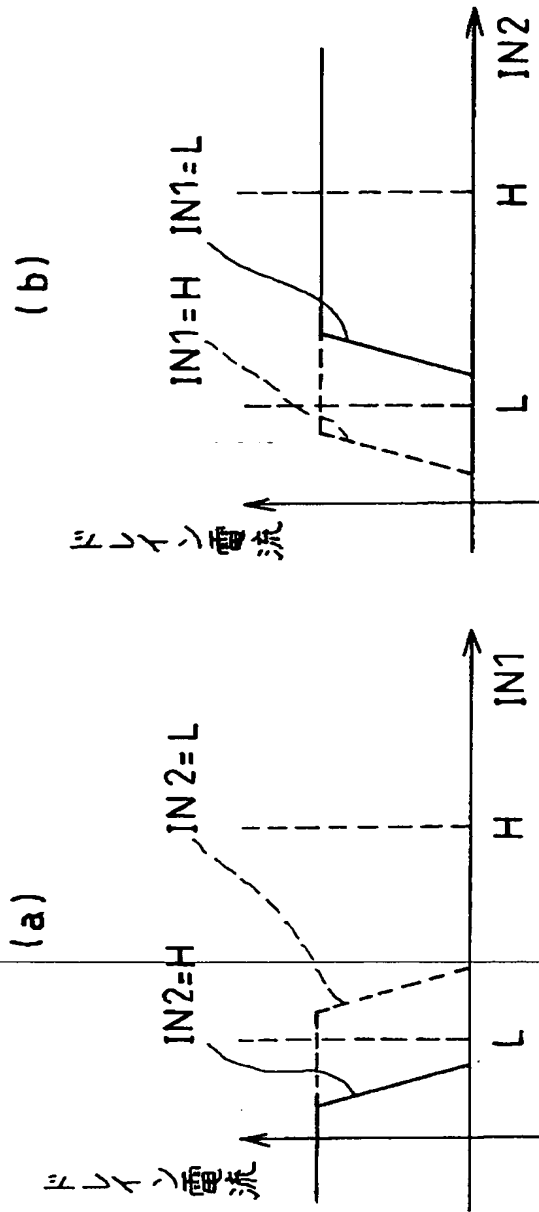
【図13】



【図14】

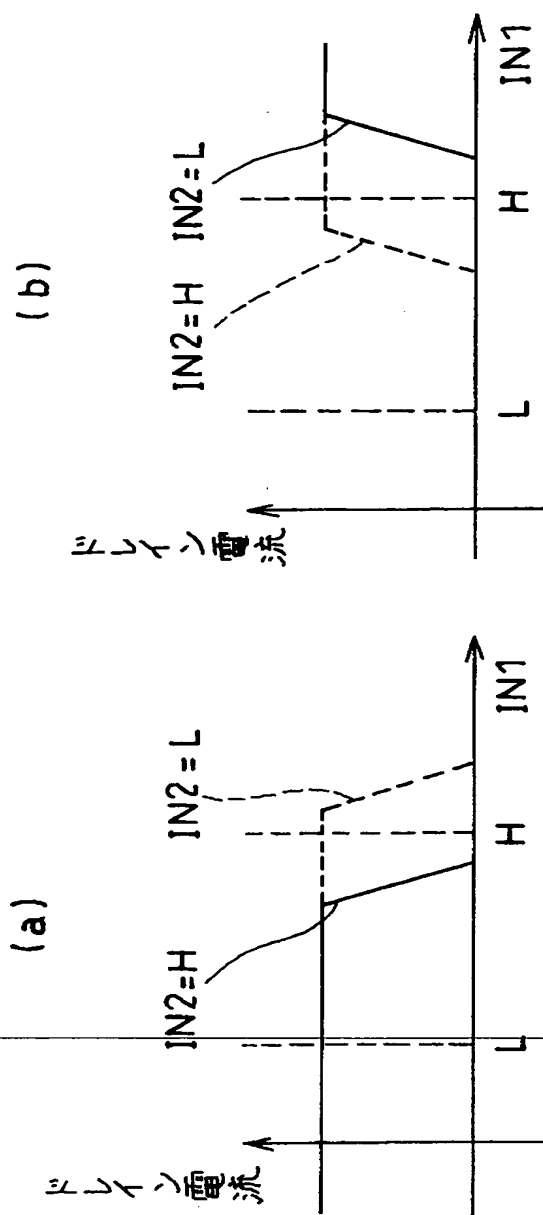


【図15】

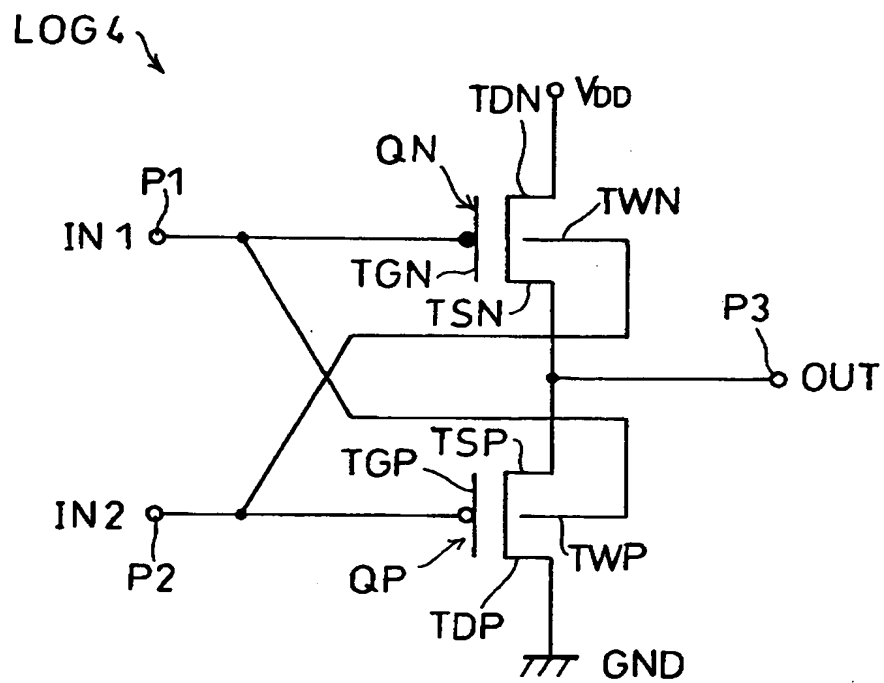




【図17】

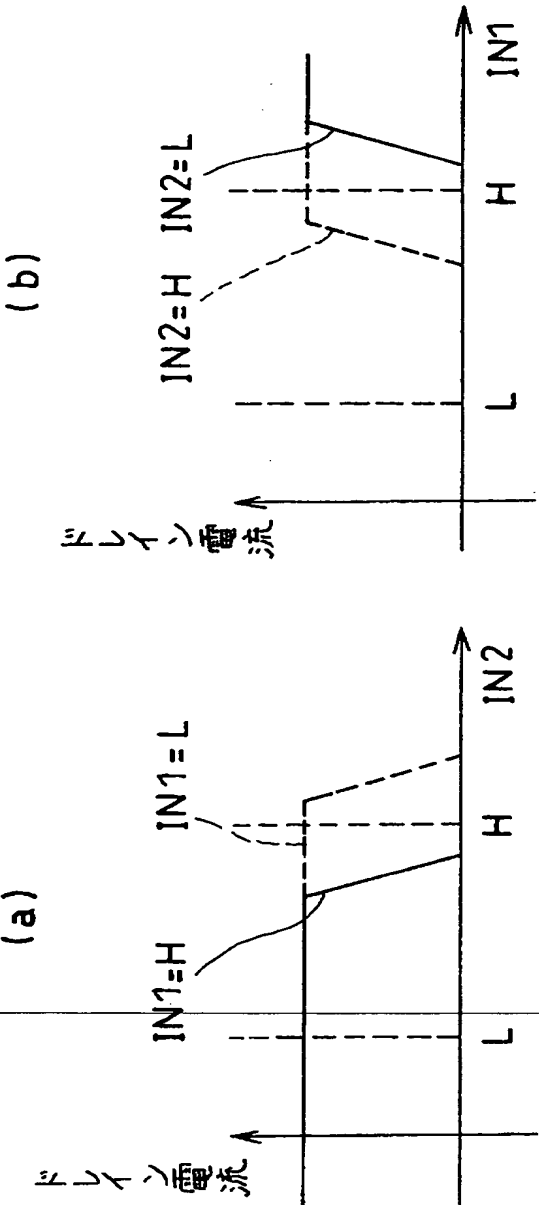


【図18】

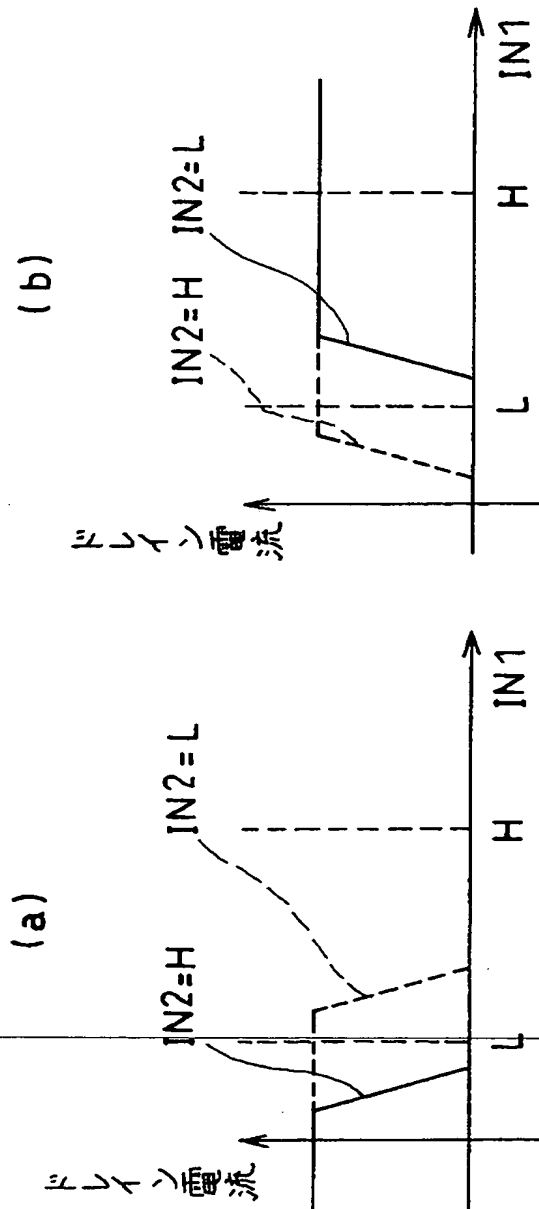




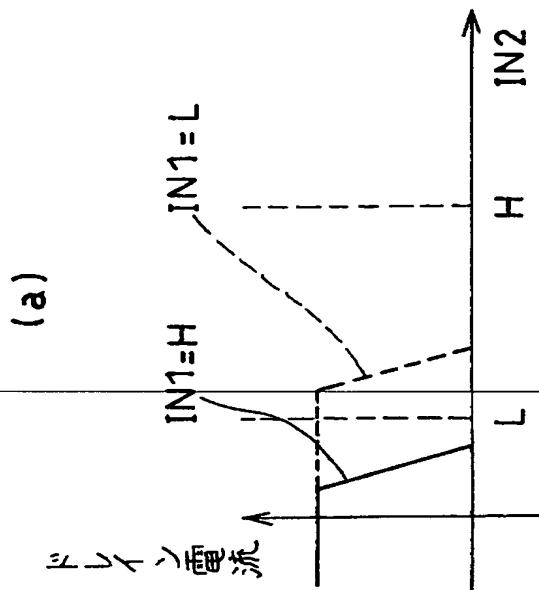
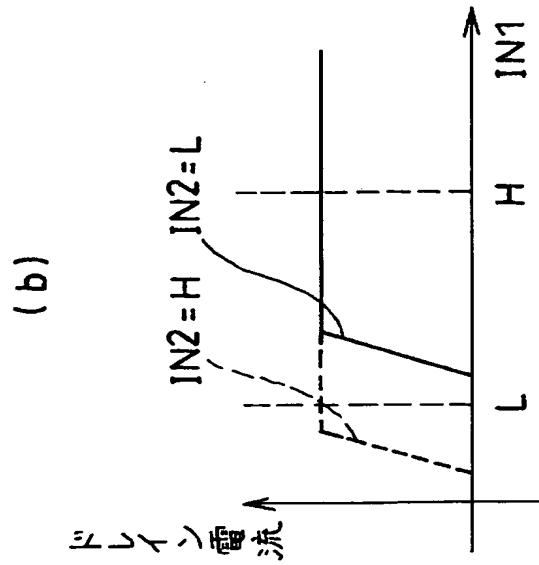
【図19】



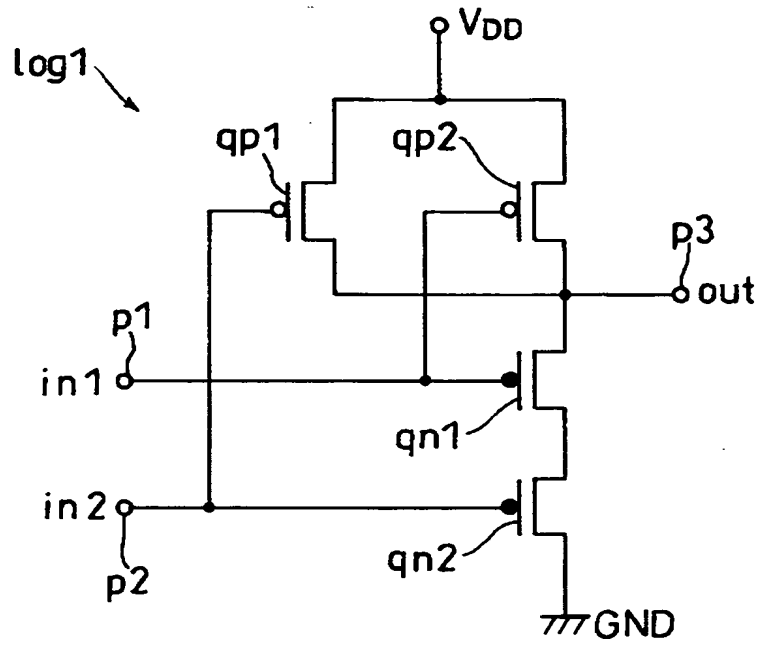
【図20】



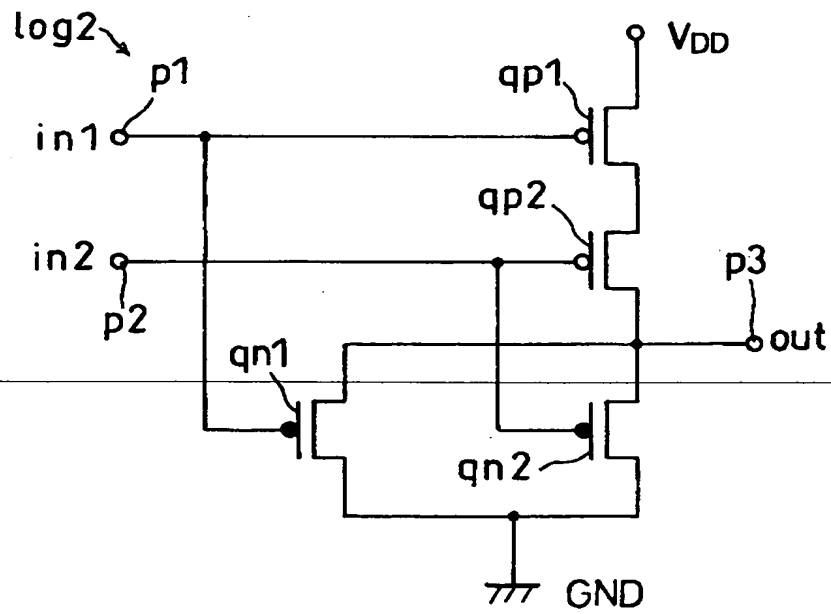
【図21】



【図 22】



【図 23】



【書類名】 要約書

【要約】

【課題】 集積回路内に多数形成され、論理回路などを構成するMOSFETから成る半導体素子1において、高機能化を図る。

【解決手段】 ウェル2内にソース領域3とドレイン領域4とが形成され、かつそれらの領域間のチャネル領域5上に、ゲート絶縁膜6を介してゲート電極7が形成されるMOSFETにおいて、たとえばSOI基板を用い、かつフィールド酸化膜などによって各素子間を電氣的に絶縁し、各素子毎にソース領域3およびドレイン領域4以外の領域で層間絶縁膜にコンタクト孔を形成し、チャネル領域5から基板端子TWを引出す。これによって、ゲート端子TGと該基板端子TWとの2つを入力とする2入力1出力の素子を実現することができ、論理回路などを構成するにあたって、集積度を向上し、高速化および低コスト化を図ることができる。

【選択図】 図1

特平 9-142575

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】  
【識別番号】 000005049  
【住所又は居所】 大阪府大阪市阿倍野区長池町2-2番2-2号  
【氏名又は名称】 シャープ株式会社  
【代理人】 申請人  
【識別番号】 100080034  
【住所又は居所】 大阪府大阪市北区天神橋2丁目北2番6号 大和南  
森町ビル 原謙三国際特許事務所  
【氏名又は名称】 原 謙三

出 願 人 履 歴 情 報

識別番号

[000005049]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町22番22号

氏 名

シャープ株式会社

**THIS PAGE BLANK (USPTO)**